

08/747928

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 6-29310 (A) (43) 4.2.1994 (19) JP

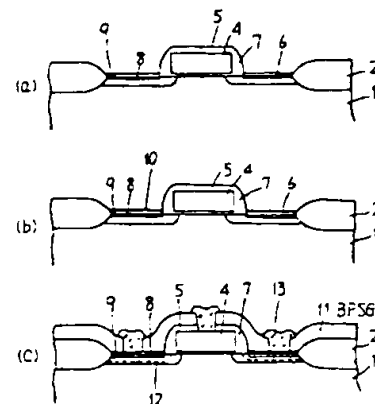
(21) Appl. No. 4-183586 (22) 10.7.1992

(71) FUJITSU LTD (72) NORIAKI SATO

(51) Int. Cl.<sup>3</sup> H01L21/336, H01L29/784

**PURPOSE:** To reduce a contact resistance and a sheet resistance and to further provide a shallow source/drain diffused layer by forming the source/drain of a metal silicide layer and a protective layer formed on substantially the entire surface, and forming the protective layer of a conductive layer.

**CONSTITUTION:** A source/drain of a field-effect transistor has a metal silicide layer 8 formed substantially over the entire surfaces of source/drain regions 6, 12, and a protective layer 9 formed substantially over the entire surface of the layer 8, and the layer 9 is formed of a conductive layer. For example, a gate electrode 4, an  $\text{SiO}_2$  layer 5 are formed, medium-doped source/drain diffused layers 6 are formed, a sidewall 7 is formed, and a  $\text{TiSi}_2$  layer 8 is formed. Then, amorphous silicon 9 to become a protective layer is selectively formed on the layer 8, an  $\text{SiO}_2$  film 10 is formed on the entire surface, and a high-doped source/drain layer 12 is formed.



**WEST**[Help](#)[Logout](#)[Main Menu](#) [Search Form](#) [Result Set](#) [Show S Numbers](#) [Edit S Numbers](#)[First Hit](#)[Previous Document](#)[Next Document](#)[Full](#) [Title](#) [Citation](#) [Front](#) [Review](#) [Classification](#) [Date](#) [Reference](#) [Claims](#) [HMC](#)

## Document Number 1

Entry 1 of 1

File: DWPI

Feb 4, 1994

DERWENT-ACC-NO: 1994-078163  
DERWENT-WEEK: 199410  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device with source and drain region contg. metal silicide layer - obtd. by forming source and drain diffusion layer under stacked metal silicide layer and amorphous silicon, enabling implanting concd. impurity NoAbstract

PATENT-ASSIGNEE: FUJITSU LTD[FUIT]

## PRIORITY-DATA:

1992JP-0183586

July 10, 1992

## PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 06029310 A	February 4, 1994	N/A	007	H01L021/336

## APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-NO
JP06029310A	July 10, 1992	1992JP-0183586	N/A

INT-CL (IPC): H01L 21/336; H01L 29/784  
ABSTRACTED-PUB-NO: JP06029310A  
EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/8

## TITLE-TERMS:

SEMICONDUCTOR DEVICE SOURCE DRAIN REGION CONTAIN METAL SILICIDE LAYER  
OBTAIN FORMING SOURCE DRAIN DIFFUSION LAYER STACK METAL SILICIDE LAYER  
AMORPHOUS SILICON ENABLE IMPLANT IMPURE NOABSTRACT

DERWENT-CLASS: L03 U11

CPI-CODES: L04-A01; L04-C02B; L04-C03; L04-C10F;

EPI-CODES: U11-C05D4; U11-C18A3;

## SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1994-035697

Non-CPI Secondary Accession Numbers: N1994-061096

[Main Menu](#) [Search Form](#) [Result Set](#) [Show S Numbers](#) [Edit S Numbers](#)

Print			Previous Document				Next Document		
Full	Title	Citation	Front	Remind	Classification	Date	Reference	Claims	EndC

Help

Logout

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-29310

(43) 公開日 平成6年(1994)2月4日

(51) Int.Cl.<sup>5</sup>

H 0 1 L 21/336  
29/784

識別記号

庁内整理番号

7377-4M

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 P

審査請求 未請求 請求項の数 3 (全 7 頁)

(21) 出願番号 特願平4-183586

(22) 出願日 平成4年(1992)7月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 佐藤 典章

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

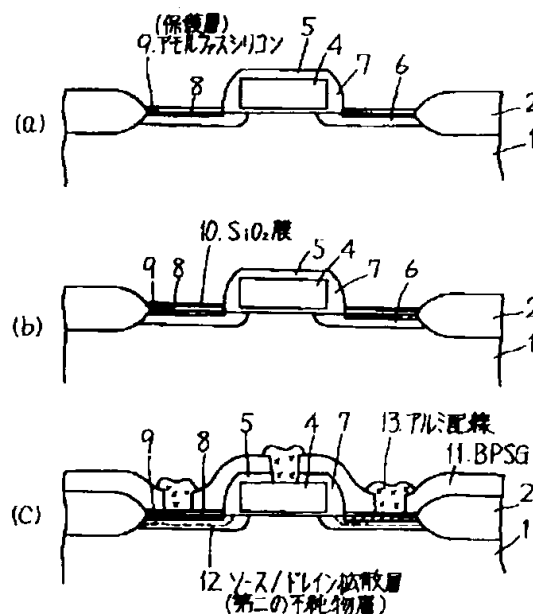
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 ソース/ドレイン領域にメタルシリサイド層を有する半導体装置及びその製造方法に係わり、そのコンタクト抵抗及びシート抵抗の低抵抗化、さらに浅いソース/ドレイン拡散層を備えた半導体装置及びその製造方法を提供する。

【構成】 ソース/ドレインおよびゲート電極を備えた電界効果トランジスタにおいて、ソース/ドレインは、ソース/ドレイン領域表面のほぼ全面に形成されたメタルシリサイド層と、メタルシリサイド層表面のほぼ全面に形成された保護層とからなり、その保護層とは導電層である。

本発明の実施例1における MOS FET の工程断面図



1

## 【特許請求の範囲】

【請求項1】ソース／ドレインおよびゲート電極（4）を備えた電界効果トランジスタにおいて、前記ソース／ドレインは、ソース／ドレイン領域（6，12）表面のほぼ全面に形成されたメタルシリサイド層（8）と、該メタルシリサイド層（8）表面のほぼ全面に形成された保護層（9）とからなり、該保護層（9）は導電層であることを特徴とする半導体装置。

【請求項2】基板（1）上に絶縁膜（3）を形成する工程と、該絶縁膜（3）上に半導体層を形成する工程と、該半導体層を選択的に除去し、ゲート電極（4）を形成する工程と、該ゲート電極（4）をマスクにして、前記基板（1）中に一導電型の第一の不純物を注入し、第一の不純物層（6）を形成する工程と、該第一の不純物層（6）上に、メタルシリサイド層（8）を形成する工程と、該メタルシリサイド層（8）上に、半導体層（9）を形成する工程と、次いで、前記ゲート電極（4）をマスクにして、前記基板（1）中に一導電型の第二の不純物を注入し、第二の不純物層（12）を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】請求項2において、前記ゲート電極（4）をマスクにして、前記基板（1）中に前記一導電型の第一の不純物を打込む工程の後に、該ゲート電極（4）の側面にサイドウォール（7）を形成する工程を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に係わり、特にソース／ドレイン領域にメタルシリサイド層を有する半導体装置及びその製造方法に関する。近年、IC（Integrated Circuit）の高集積化は、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）の微細化とともに実現してきた。MOSFETの微細化は、ゲート長に代表される加工寸法の縮小のみならず、縦方向の縮小（ソース／ドレイン拡散層のシャロー化等）によるところが大きい。

【0002】ゲート長が、ハーフミクロンからクォーターミクロン領域になってきて、ソース／ドレインの深さが0.1 $\mu\text{m}$ 以下というような浅い拡散層になると、拡散層表面に必要な不純物濃度も約 $10^{20}\text{cm}^{-3}$ から $10^{19}\text{cm}^{-3}$ に低下する。これによって、逆に拡散層のシート抵抗が増加し（ $100\Omega/\text{sq}$ 以上）、トランジスタとしての駆動能力が低下してしまう。したがって、ソース／ドレイン拡散層のシート抵抗を低下する必要がある。

2

る。

## 【0003】

【従来の技術】ソース／ドレイン拡散層のシート抵抗を低下する方法として、メタルシリサイド層をソース／ドレイン拡散層の表面に形成する方法がある。しかし、ソース／ドレイン形成のための不純物イオン注入をメタルシリサイド層形成後に行うと、以下に示す3つの問題が生じる。

【0004】① イオン注入の結果、メタルシリサイド中に形成される欠陥が、活性化アニール時に、注入された不純物を増速拡散してしまう。

② イオン注入の結果、メタルシリサイドがアモルファス化され、ストレスが増大し、ひどい場合にはメタルシリサイドが剥がれてしまう。

③ アモルファス化したメタルシリサイドは、活性化アニール温度を高くしなければならない。なぜなら、活性化アニール温度が低いと、熱処理後にも欠陥を残し、接合リークの原因となってしまうためである。また、活性化アニール温度が高いと、シャロー化が十分行われな

【0005】そこで、まず不純物イオン注入を行ってソース／ドレイン拡散層を形成した後、ソース／ドレイン拡散層上にメタルシリサイド層を形成するというのが、従来おこなわれている方法である。次に、この従来のMOSFETについて説明する。図6（a）は、従来のMOSFETにおける製造途中の断面図である。図中、21はp型シリコン基板、22はフィールド酸化膜となる $\text{SiO}_2$ 膜、23は、ゲート酸化膜となる $\text{SiO}_2$ 膜、24はゲート電極、25は $\text{SiO}_2$ 膜、26はLDD（Lightly Doped Drain）構造のソース／ドレイン拡散層、27はサイドウォールである。

【0006】図6（b）は、図6（a）に続く工程を示した図であり、図中、図6（a）と同符号のものは同一のものを示している。また、この工程以降の説明を以下に示す。図6（b）参照。まず、スパッタリング法により、全面に厚さ300ÅのTi28を形成する。次いで、RTA（短時間熱処理技術）法により、650℃で30秒間の熱処理を行い、Tiとp型シリコン基板21とを反応させる。次いで、未反応のTiを除去し、再度RTA法により、800℃で60秒間の熱処理を行い、厚さ600ÅのTiSi<sub>2</sub>層を形成する。

【0007】その後、図示しないが、層間分離膜であるBPSGを積層し、その適所にコンタクトホールを形成する。そして、このコンタクトホールにアルミ配線を形成することにより、従来のMOSFETが製造されている。

## 【0008】

【発明が解決しようとする課題】ところが、以上述べたような従来のMOSFETでは、以下のような問題が生じる。図7は、従来のソース／ドレイン領域における不

純物の深さ方向のプロファイルを示しており、図6の断面図におけるソース/ドレイン拡散層26に対応している。図中、縦軸は不純物濃度 ( $\text{cm}^{-3}$ )、横軸は深さ (Å) を示している。また、点線はイオン注入直後のプロファイル、一点鎖線はソース/ドレイン拡散層26のプロファイル、実線はT1S1: 層形成後のプロファイルを示している。

【0009】図7(a)は、イオン注入した後に、活性化アニールをおこなった時のソース/ドレイン拡散層26のプロファイルを示しており、この時の表面濃度は  $2 \times 10^{19} \text{cm}^{-3}$  である。図7(b)は、図7(a)の工程後、ソース/ドレイン拡散層26上にT1S1: 層を形成した後のプロファイルを示している。この時の表面濃度は  $2 \times 10^{19} \text{cm}^{-3}$  よりも少なくなり、所望の濃度を得られなくなっている。

【0010】この図7(b)について、図6(b)を参照して説明する。全面にT1層28を形成した後、T1S1: 層を形成するために熱処理を行う。この熱処理により、T1層中やT1/シリコン基板界面での不純物イオンの拡散が著しく大きいため、T1層表面から不純物がOut-Diffusion してしまったり、不純物がT1層中へ拡散してしまう。したがって、拡散層の不純物プロファイルを変化させたり、再拡散により不純物分布は大きく崩れ、T1S1: 層/シリコン基板界面での不純物濃度が低下し、コンタクト抵抗の増大を招く。ひどくなると、接合がショットキー特性を生じるようになり、ノンオーミックな接合となってしまふ。

【0011】また、ソース/ドレイン拡散層26を形成するためのイオン注入において、予めT1S1: 層の形成を考えて、不純物イオンを深く打ち込むことによりT1S1: 層/シリコン基板界面での不純物濃度が低下することを防ぐ方法がある(図8参照)。図8は、従来のソース/ドレイン領域における不純物の深さ方向のプロファイルを示している。図中、図7と同符号のものは同一のものを示している。

【0012】図8(a)、図8(b)はともに表面濃度が  $2 \times 10^{19} \text{cm}^{-3}$  である。しかし、ソース/ドレイン拡散層が深くなってしまい、短チャネル効果が生じてしまふ。また、ソース/ドレイン拡散層26上に絶縁膜 ( $\text{SiO}_2$ ) を形成し、ソース/ドレイン拡散層26とのコンタクトを行うためにコンタクト孔を開孔するエッチングの際に、T1S1: 層/ $\text{SiO}_2$  の選択比が十分とれず、オーバエッチ時に、T1S1: 層までエッチングしてしまう。更に、コンタクト孔のエッチングに続くレジスト除去時に、薄いHF(フッ酸)水溶液による後処理を行うと、T1S1: 層も急速に溶解されてしまふ。T1S1: 層がエッチングされたり、溶解されたりすると、シート抵抗が高くなってしまふ。

【0013】このように、従来例の技術では、コンタクト抵抗の増大または短チャネル効果、およびシート抵抗

の増大という問題が生じる。したがって、本発明は、コンタクト抵抗およびシート抵抗の低抵抗化、さらに浅いソース/ドレイン拡散層を備えた半導体装置及びその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】上記の問題点は、以下に示す半導体装置により解決される。すなわち、ソース/ドレインおよびゲート電極を備えた電界効果トランジスタにおいて、ソース/ドレインは、ソース/ドレイン領域表面のほぼ全面に形成されたメタルシリサイド層と、メタルシリサイド層表面のほぼ全面に形成された保護層とからなり、その保護層とは導電層であることを特徴とする半導体装置である。

【0015】そして、その製造方法は以下に示す通りである。まず、基板上に絶縁膜を形成し、その絶縁膜上に半導体層を形成する。次いで、半導体層を選択的に除去し、ゲート電極を形成する。次いで、ゲート電極をマスクにして、基板中に一導電型の第一の不純物を注入し、第一の不純物層を形成する。次いで、第一の不純物層上にメタルシリサイド層を形成し、メタルシリサイド層上に半導体層を形成する。次いで、ゲート電極をマスクにして基板中に一導電型の第二の不純物を注入し、第二の不純物層を形成する工程とを含むものである。

【0016】

【作用】本発明によれば、中濃度のソース/ドレイン拡散層上にメタルシリサイド層を形成し、そのメタルシリサイド層上にアモルファスシリコン層を形成した後に、ソース/ドレイン拡散層を形成するので高ドーズ量でイオン注入することができ、次のような作用が得られる。

【0017】高濃度のソース/ドレイン拡散層を形成する前に、メタルシリサイド層を形成しているため、メタルシリサイド層を形成する時の熱処理にともなう不純物の再拡散は、事実上考えなくてもよくなる。また、メタルシリサイド層形成のためのRTA温度を高くでき(800℃から900℃へ)、メタルシリサイド中の欠陥密度を減少させられる。その結果、ソース/ドレイン接合のリーク電流を低下することができる。したがって、コンタクト抵抗を十分低くすることが可能である。

【0018】また、高ドーズ量の不純物は、メタルシリサイド層を通過して、メタルシリサイド層の下にまで拡散するが、熱処理時間を十分短くし、メタルシリサイド層も薄くすることにより、保護膜表面での不純物濃度は、約  $10^{20} \text{cm}^{-3}$  を保ちながら、メタルシリサイド層とシリコン基板の界面では約  $10^{19} \text{cm}^{-3}$  程度の高濃度となるような浅い接合を形成することができる。

【0019】さらに、メタルシリサイド層の上には保護膜となるアモルファスシリコンが形成されているため、前述したようなエッチング、後処理、Out-Diffusionに伴う問題を解消することができる。したがって、本発明によれば、コンタクト抵抗およびシート抵抗の低抵抗

5

化、さらに浅いソース/ドレイン拡散層を備えた半導体装置及びその製造方法を提供することができる。

【0020】

【実施例】以下、本発明の3つの実施例について図面を参照し、具体的に説明する。

【実施例1】本発明の実施例1は、図1乃至図3に示される。図1と図2は、本発明の実施例1におけるMOSFETの工程断面図であり、図2は図1に続く工程である。図中、同符号のものは同一のものを示している。

【0021】図1(a)参照。p型シリコン基板1上に、公知の技術を用いてLOCOS分離(選択酸化)を行い、フィールド酸化膜となる厚さ3500ÅのSiO<sub>2</sub>膜2を形成した後、熱酸化により、全面に厚さ100ÅのSiO<sub>2</sub>膜3を形成する。図1(b)参照。CVD(化学気相成長)法により全面に、ゲート電極4となる厚さ500Åのアモルファスシリコン(またはポリシリコン)、厚さ1000ÅのWSiを順次積層する。次いで、CVD法により、全面に厚さ300ÅのSiO<sub>2</sub>膜5を積層する。次いで、全面にフォトリソスト(図示せず)を塗布し、公知のフォトリソグラフィ法により、20 フォトリソストのパターンを形成し、そのパターンニングされたレジストマスクを用いて、SiO<sub>2</sub>膜5を選択的に除去した後、レジストマスクを除去する。次いで、そのSiO<sub>2</sub>膜5をマスクにしてDry エッチング技術により、WSi及びアモルファスシリコンを選択的に除去し、ゲート電極4を形成する。次いで、基板表面よりソース/ドレインの不純物となる燐イオンをエネルギー10keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ でイオン注入により基板中に打込む。

【0022】図1(c)参照。CVD法により、全面に30 厚さ1000ÅのSiO<sub>2</sub>膜を形成する。この時のSiO<sub>2</sub>膜の成長温度が800℃程度であるため、前工程においてイオン注入された燐イオンが拡散され、中濃度のソース/ドレイン拡散層6が形成される。次いで、RIE(反応性イオンエッチング)により全面をエッチングすることによって、ゲート電極4の側面にサイドウォール7を形成する。

【0023】図1(d)参照。スパッタリング法により、全面に厚さ300ÅのTiを形成する。次いで、RTA(短時間熱処理技術)法により、650℃で30秒間の熱処理を行い、Tiとシリコン基板1とを反応させる。次いで、未反応のTiを除去し、再度RTAにより、800℃で60秒間の熱処理を行い、厚さ600ÅのTiSi<sub>1</sub>層8を形成する。

【0024】図2(a)参照。CVD法により、TiSi<sub>1</sub>層8上に保護層となる厚さ500Åのアモルファスシリコン9を選択的に形成する。この時の条件は、例えばジシラン(SiH<sub>4</sub>)系ガスをを用いて、温度400℃、真空度0.1Torrである。図2(b)参照。CVD法により、全面に厚さ50ÅのSiO<sub>2</sub>膜10を形成す 50

6

る。次いで、基板表面よりソース/ドレインの不純物となる砒素イオンをエネルギー25keV、ドーズ量 $4 \times 10^{16} \text{ cm}^{-2}$ でイオン注入により基板中に打込む。

【0025】その後、図2(c)のように、層間分離膜であるBPSG11を積層し、その適所にコンタクトホールを形成する。この際、コンタクトホールはRIEによって形成しているため、コンタクトホールの上部は角張っている。この角張りは、次工程においてアルミニウムのスパッタリングに悪影響を与える。よって、この角張りを除去するために、800℃程度の熱処理を行う。また、この熱処理によって、図2(b)の工程においてイオン注入された砒素イオンが拡散され、高濃度のソース/ドレイン拡散層12が形成される。そして、最後にアルミ配線13を形成する。

【0026】以上の工程により、本発明の実施例1におけるMOSFETが製造される。図3は、本発明の実施例1におけるソース/ドレイン領域の不純物の深さ方向のプロファイルを示しており、図2(c)の断面図におけるソース/ドレイン拡散層12に対応している。図中、縦軸は不純物濃度( $\text{cm}^{-3}$ )、横軸は深さ(Å)を示している。また、点線はイオン注入直後のプロファイル、一点鎖線はソース/ドレイン拡散層12のプロファイルを示している。

【0027】このプロファイルによると、アモルファスシリコン層9表面での不純物濃度は、約 $10^{19} \text{ cm}^{-3}$ を保ちながら、TiSi<sub>1</sub>層8とシリコン基板1の界面では約 $10^{19} \text{ cm}^{-3}$ 程度の高濃度となるような浅い接合を形成している。

【実施例2】本発明の実施例2は、図4に示される。

【0028】図4は、本発明の実施例2におけるMOSFETの断面図である。図中、図1乃至図2と同符号のものは同一のものを示している。実施例2では、ソース/ドレイン拡散層表面にTiSi<sub>1</sub>層8を形成する際に、同時にゲート電極上にもTiSi<sub>1</sub>層8を形成したものである。これによって、ゲート電極の抵抗も低下することができる。

【0029】【実施例3】本発明の実施例3は、図5に示される。図5は、本発明の実施例3におけるMOSFETの断面図である。図中、図1乃至図2と同符号のものは同一のものを示している。実施例3では、ソース/ドレイン領域上に一旦シリコン層を形成した後に、TiSi<sub>1</sub>層8およびアモルファスシリコン層9を順次形成し、次いで、イオン注入によりソース/ドレイン拡散層を形成したものである。これによって、配線層の平坦化をすることができる。

【0030】なお、メタルシリサイドは、TiSi<sub>1</sub>のみならず、CoSi<sub>1</sub>やNiSi<sub>1</sub>などでもよい。実施例1では、メタルシリサイド層をソース/ドレイン表面に形成した後、選択エピタキシャル成長により、TiSi<sub>1</sub>層上にアモルファスシリコン層を成長させる。この

7

とき、アモルファスシリコン層の格子定数は、 $\text{CoSi}$ 、 $\text{NiSi}$ の格子定数とほぼ同じなので、エピタキシャル成長がしやすい。

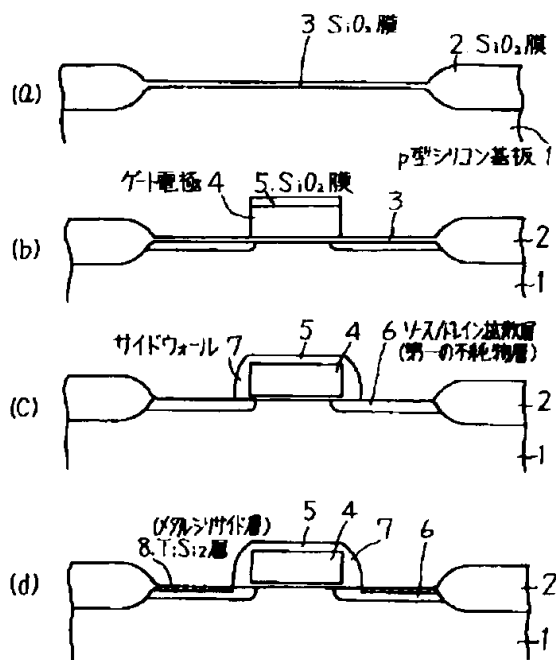
【0031】また、実施例1では、保護層としてアモルファスシリコンを用いているが、これは、保護層の成長温度が低く、下地との密着性がよい等の条件が満たされる膜なら何でもよく、例えば、ポリシリコン、アモルファスカボン、 $\text{Ge}$ 、 $\text{SiGe}$ 、および $\text{SiC}$ でもよい。上述の如く、本発明の実施例によれば、ソース/ドレイン領域にメタルシリサイド層を形成し、その上に保護層を積層した後に、ソース/ドレイン拡散層を形成するためのイオン注入を行うことにより、コンタクト抵抗およびシート抵抗の低抵抗化、さらに浅いソース/ドレイン拡散層を備えた半導体装置及びその製造方法を提供することができる。

【0032】

【発明の効果】以上説明したように、本発明によれば、メタルシリサイド層をいわば埋め込んだ構造になっており、ソース/ドレイン拡散層上にメタルシリサイド層を用いたMOSFETのプロセスの安定化を図り、信頼性を向上させる効果がある。また、ソース/ドレイン拡散層を形成している不純物の再分布を極力抑制することができるので、ソース/ドレイン拡散層のシャロー化とコンタクト抵抗の低下をもたらし、同時に、ソース/ドレイン接合リークを低下することができる。

【図1】

本発明の実施例1におけるMOSFETの工程断面図



8

【0033】したがって、半導体装置の高性能化、および微細化に寄与するところが大い。

【図面の簡単な説明】

【図1】本発明の実施例1におけるMOSFETの工程断面図である。

【図2】本発明の実施例1におけるMOSFETの工程断面図である。

【図3】本発明の実施例1におけるソース/ドレイン領域の不純物の深さ方向のプロファイルである。

10 【図4】本発明の実施例2におけるMOSFETの断面図である。

【図5】本発明の実施例3におけるMOSFETの断面図である。

【図6】従来のMOSFETにおける製造途中の断面図である。

【図7】従来のソース/ドレイン領域における不純物の深さ方向のプロファイルその1である。

【図8】従来のソース/ドレイン領域における不純物の深さ方向のプロファイルその2である。

20 【符号の説明】

6 中濃度のソース/ドレイン拡散層

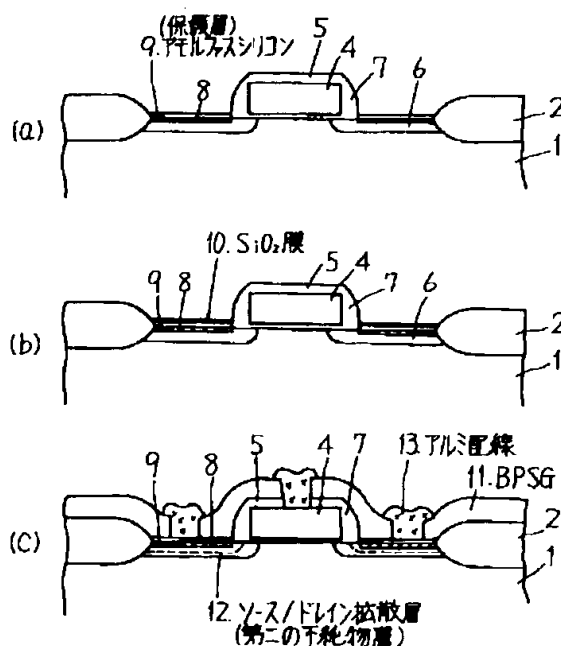
8 メタルシリサイドとなる $\text{TiSi}_2$ 層

9 保護層となるアモルファスシリコン層

12 高濃度のソース/ドレイン拡散層

【図2】

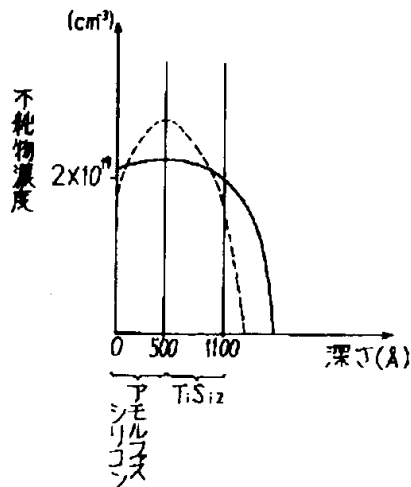
本発明の実施例1におけるMOSFETの工程断面図





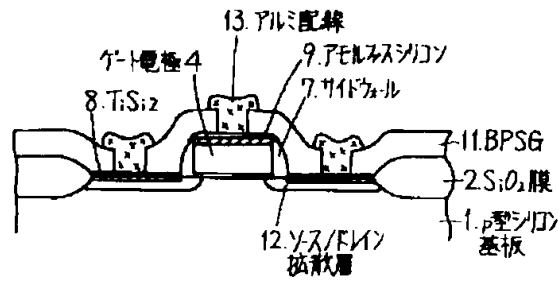
【図3】

本発明の実施例1におけるソース/ドレイン領域の不純物の深さ方向のプロファイル



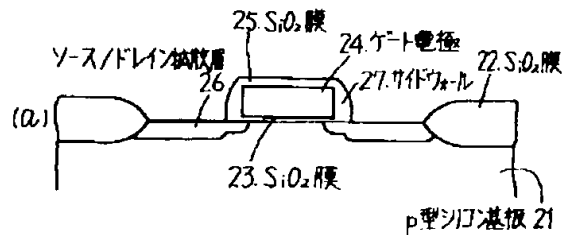
【図4】

本発明の実施例2におけるMOSFETの断面図



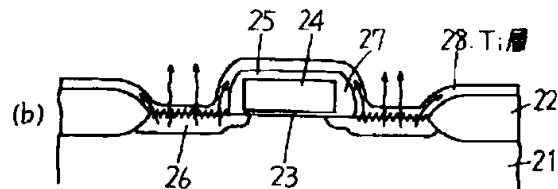
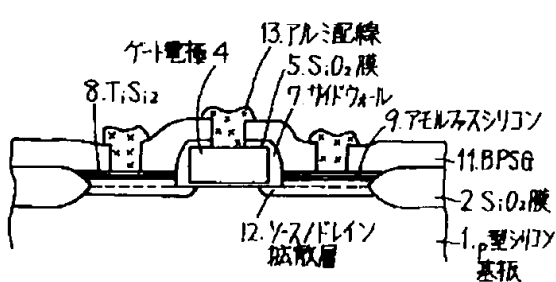
【図6】

従来のMOSFETにおける製造途中の断面図



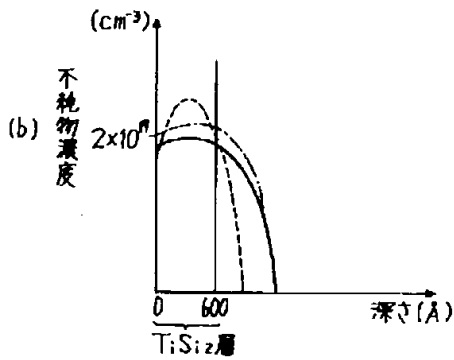
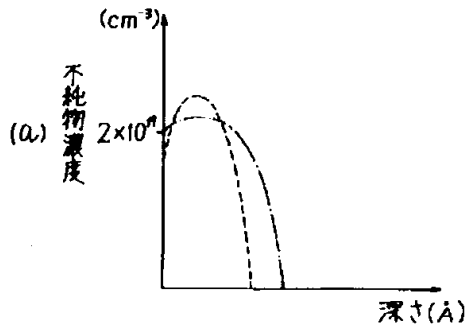
【図5】

本発明の実施例3におけるMOSFETの断面図



【図7】

従来のソース/ドレイン領域における不純物の  
深さ方向のプロファイルその1



【図8】

従来のソース/ドレイン領域における不純物の  
深さ方向のプロファイルその2

